

УДК 517.18

## ОБ АНАЛИЗЕ ДИНАМИКИ СИГНАЛОВ В ЦИФРОВЫХ СХЕМАХ НА РИСКИ СБОЯ

© А.Н. Пчелинцев

*Ключевые слова:* риски сбоя; булева алгебра; функция Хевисайда; звено чистого запаздывания.

В докладе для анализа динамики сигналов в асинхронных цифровых схемах на риски сбоя вводится в булеву алгебру параметр «время» посредством замены логических операций арифметическими. Рассмотрен пример построения сигналов, проходящих через логические элементы, с использованием описанного математического аппарата.

### 1. Введение

В булевой алгебре, используемой для моделирования работы цифровых схем, не учитывается время перехода (или инертность) логических элементов (например, «И», «ИЛИ») из одного состояния в другое (например, из 0 в 1). В случаях, когда время распространения сигнала внутри элемента достаточно мало, задержку перехода можно не учитывать. Но с повышением частоты изменения входных сигналов в реальных схемах начинает сказываться влияние времени распространения сигнала внутри ее элементов. Такие задержки могут порождать неустойчивую работу устройств (т.е. в сигналах после последовательного прохождения через узлы схемы появляются не учитываемые моделью схемы переходы, называемые *сбоями*). Многие производители современных процессоров держат в тайне, как они борются со сбоями, порождаемыми задержками, на частотах порядка ГГц. Ведь обычный проводник с множеством близких изгибов на плате в таком режиме работы уже превращается в индуктивность.

Чтобы проанализировать простейшие схемы на риски сбоя, обычно применяют метод временных диаграмм [1–3], ставший уже классическим. Сигналы в каждом узле расчерчиваются строго друг под другом; где нужно, производится искусственная задержка перехода из одного состояния в другое, а далее по булевому представлению строятся выходные сигналы. Данный метод не хорош тем, что требует работы с графиками, что может внести погрешность в получаемые сигналы. А нам нужно знать, возникнет ли сбой, и какой он будет иметь вид. Поэтому в данном докладе эта процедура переведена из графического представления в математическое представление. При этом мы введем в булеву алгебру параметр «время» посредством замены логических операций арифметическими. Для простоты анализа рассматриваются асинхронные, т.е. неуправляемые внешним (синхронизирующим или тактирующим) сигналом, цифровые схемы.

### 2. Переход от логического представления булевых функций к арифметическому представлению

Рассмотрим числовое множество  $M = \{0; 1\}$ . На нем определены операции отрицания, конъюнкции, дизъюнкции и производимые от них (например, импликация, альтернативная дизъюнкция и др.). Выразим эти логические операции через арифметические на множестве  $M$ :

$$\begin{aligned}\bar{x} &= 1 - x, \\ x \wedge y &= x \cdot y, \\ x \vee y &= x + y - x \cdot y.\end{aligned}\tag{1}$$

Покажем справедливость закона Моргана  $x \wedge y = \overline{\overline{x} \vee \overline{y}}$ :

$$\overline{\overline{x} \vee \overline{y}} = 1 - \overline{x \vee y} = 1 - (1 - x + 1 - y - (1 - x) \cdot (1 - y)) = x \cdot y = x \wedge y.$$

К выражениям (1) добавим правило

$$x^m = x \tag{2}$$

для всех натуральных значений  $m$ , справедливость которого очевидна.

Выражение для булевой функции  $f$ , являющейся функцией входных сигналов схемы, теперь можно упростить по законам арифметических действий и правила (2). После упрощений перейти назад – к булевому представлению. При этом сам процесс минимизации можно автоматизировать, перейдя к символьным вычислениям.

### 3. Ввод в булеву алгебру параметра «время»

Как известно, единичная ступенчатая функция или функция Хевисайда определена на области действительных чисел и возвращает число, принадлежащее множеству  $M$ :

$$h(t) = \begin{cases} 1, & t \geq 0, \\ 0, & t < 0. \end{cases}$$

Обозначим через  $t$  текущее время. Заметим, что функцию  $h$  еще называют выключательной функцией. Очевидно следующее утверждение: любой сигнал в логической схеме, включающий переход из одного логического состояния в другое, можно представить как сумму-разность функций Хевисайда, взятых с соответствующим аргументом.

Для функции  $h$  имеет место правило

$$\prod_{i=1}^n h(t - \tau_i) = h\left(t - \max_{i=1, n} \tau_i\right), \tag{3}$$

где  $\tau_i$  – момент времени, когда происходит изменение сигнала. Добавим формулу (3) к (1) и (2).

Теперь, зная аналитическое выражение для входных сигналов логической схемы, можно найти вид функции выходного сигнала.

### 4. Задержки в логических элементах схемы

Задержку сигнала в логическом элементе удобно моделировать как разность аргумента функции Хевисайда и длительности задержки (т.к. для существующих логических элементов в основном задержки по фронту (переход из 0 в 1) и спаду (переход из 1 в 0) примерно одинаковы). Таким образом, любой реальный логический элемент схемы можно моделировать как последовательное соединение звена «чистого» запаздывания [4] по каждому входу и идеального логического элемента (здесь запаздывание равно длительности задержки). Например, уравнение выходного сигнала конъюнктора с задержкой  $\tau$  по входу имеет вид:

$$y_c = f_1(t - \tau) \cdot f_2(t - \tau),$$

где  $f_1(t)$  и  $f_2(t)$  – функции, описывающие соответствующие входные сигналы.

## 5. Алгоритм поиска сбойных состояний

Предлагаемый алгоритм поиска сбойных состояний аналогичен методу временных диаграмм; преимущество метода в том, что мы работаем не с графическими изображениями сигналов, а с их аналитическими выражениями (при этом появляется возможность аналитической оценки временных характеристик сбоя):

1. Пусть исследуемая схема функционирует в соответствии с некоторым логическим выражением, задаваемым ДНФ;
2. Задаемся функциями входных сигналов, представляющие собой переходы в таблице истинности, выражаемые через функцию Хевисайда;
3. Идем по пути следования сигналов в логической схеме с целью поиска выражения для выходного сигнала схемы, применяя правила (1) – (3);
4. Если в полученном выражении присутствует разность функций Хевисайда, то мы имеем статический сбой; если присутствует функция Хевисайда с задерживающим аргументом, то сбой динамический.

## 6. Пример анализа логической схемы

Исследуем переход из набора 1111 в набор 1001 (15 → 9) таблицы истинности для схемы, показанной на рис. 1. Представим входные сигналы следующим образом (для простоты

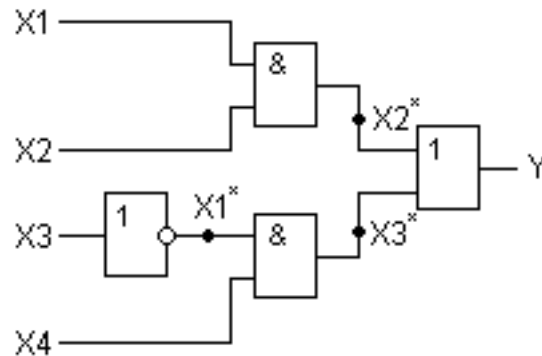


Рис. 1: Схема, реализующая булеву функцию  $Y = X_1X_2 \vee \overline{X_3}X_4$ .

будем рассматривать изменение состояния в момент времени, равный 5 сек.):

$$\begin{aligned} X_1 &= 1, \\ X_2(t) &= 1 - h(t - 5), \\ X_3(t) &= 1 - h(t - 5), \\ X_4 &= 1. \end{aligned}$$

Предположим, что все элементы имеют одинаковые задержки, равные  $\tau$ . Тогда

$$X_1^*(t) = 1 - (1 - h(t - 5 - \tau)) = h(t - 5 - \tau),$$

$$X_2^*(t) = 1 \cdot (1 - h(t - 5 - \tau)) = 1 - h(t - 5 - \tau),$$

$$X_3^*(t) = X_1^*(t - \tau) \cdot 1 = h(t - 5 - 2\tau),$$

$$\begin{aligned} Y(t) &= X_2^*(t - \tau) + X_3^*(t - \tau) - X_2^*(t - \tau) \cdot X_3^*(t - \tau) = 1 - h(t - 5 - 2\tau) + \\ &+ h(t - 5 - 3\tau) - (1 - h(t - 5 - 2\tau)) \cdot h(t - 5 - 3\tau) = 1 - h(t - (5 + 2\tau)) + \\ &+ h(t - (5 + 2\tau)) \cdot h(t - (5 + 3\tau)) = 1 - h(t - (5 + 2\tau)) + h(t - (5 + 3\tau)). \end{aligned}$$

Таким образом, мы получили статический сбой – в результирующее выражение входит разность функций Хевисайда (рис. 2).

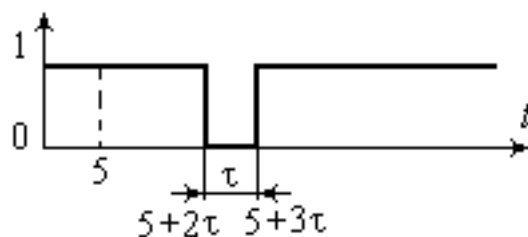


Рис. 2: График сигнала  $Y(t)$ .

#### ЛИТЕРАТУРА

1. Потемкин И.С. Функциональные узлы цифровой автоматики. М.: Энергоатомиздат, 1988.
2. Мулярчик С.Г. Интегральная схемотехника (функционально-логический уровень). Мн: Изд-во БГУ, 1983.
3. Пчелинцев А.Н., Касьянов А.Н. Анализ опасных состязаний в комбинационных цифровых схемах при автоматизированном проектировании // Вестник ТГУ. Тамбов, 2005. Т. 11. № 2А. С. 368-371.
4. Бесекинский В.А. Теория систем автоматического управления. М: Наука, 1975.

БЛАГОДАРНОСТИ: Работа выполнена при поддержке РФФИ (проект № 14-08-00489).

Поступила в редакцию 10 апреля 2015 г.

#### Pchelintsev A.N. ON THE ANALYSIS OF THE DYNAMICS OF SIGNALS IN DIGITAL CIRCUITS ON THE RISKS OF FAILURE

For analysis of the failure risk of asynchronous digital circuits, the time-parameter is introduced into the Boolean algebra replacing the arithmetic operations by logical operations. Using the described below mathematical apparatus, an example of constructing signals passing through the logical elements is considered.

*Key words:* failure risks; Boolean algebra; Heaviside function; pure delay element.

Пчелинцев Александр Николаевич, Тамбовский государственный технический университет, г. Тамбов, Российская Федерация, кандидат физико-математических наук, доцент, доцент кафедры коммерции и бизнес-информатики, e-mail: pchelintsev.an@yandex.ru

Pchelintsev Aleksandr Nikolaevich, Tambov State Technical University, Tambov, the Russian Federation, Candidate of Physics and Mathematics, Associate Professor of the Commerce and Business Informatics e-mail: pchelintsev.an@yandex.ru